

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

EXPRESS MAIL NO. EV351235555US

Applicant : Dong-Yong Shin, et al.
Application No. : N/A
Filed : February 10, 2004
Title : BUFFER CIRCUIT AND ACTIVE MATRIX DISPLAY USING THE SAME

Grp./Div. : N/A
Examiner : N/A

Docket No. : 51488/DBP/Y35

**LETTER FORWARDING CERTIFIED
PRIORITY DOCUMENT**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PostOffice Box 7068
Pasadena, CA 91109-7068
February 10, 2004

Commissioner:

Enclosed is a certified copy of Korean Patent Application No. 2003-0011418, which was filed on February 24, 2003, the priority of which is claimed in the above-identified application.

Respectfully submitted,
CHRISTIE, PARKER & HALE, LLP

By D. Bruce Prout
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/aam

Enclosure: Certified copy of patent application

AAM PASS49807.1-* 02/10/04 1:49 PM



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0011418
Application Number

출 원 년 월 일 : 2003년 02월 24일
Date of Application FEB 24, 2003

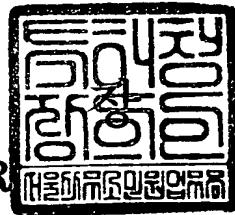
출 원 인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 11 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.02.24
【발명의 명칭】	버퍼 회로 및 이를 이용한 액티브 매트릭스 표시 장치
【발명의 영문명칭】	BUFFER CIRCUIT AND ACTIVE MATRIX DISPLAY DEVICE USING THE SAME
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-041982-6
【발명자】	
【성명의 국문표기】	신동용
【성명의 영문표기】	SHIN, DONG YONG
【주민등록번호】	751209-1057410
【우편번호】	151-051
【주소】	서울특별시 관악구 봉천1동 969-37
【국적】	KR
【발명자】	
【성명의 국문표기】	정보용
【성명의 영문표기】	CHUNG, BO YONG
【주민등록번호】	740521-1019638
【우편번호】	138-810
【주소】	서울특별시 송파구 가락2동 173-19호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
유미특허법인 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	19	면	19,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	19	항	717,000	원
【합계】			765,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 버퍼 회로를 제공한다. 버퍼 회로는 4개의 인버터(INV_2 - INV_4)를 포함하며, 인버터(INV_2 - INV_4)는 각각 하이 레벨의 전원(VDD)과 로우 레벨의 전원(VSS) 사이에 직렬로 연결된 PMOS 트랜지스터[(M_1, M_2) , (M_3, M_4) , (M_5, M_6)]를 포함하며, 이들 접점이 각각 인버터(INV_2 - INV_4)의 출력(V_{out2} , V_{out3} , V_{out})으로 된다. 이때, 입력(V_{in})이 하이 레벨이면 트랜지스터(M_5 , M_6)가 각각 턴온 및 턴오프되어 버퍼 회로의 출력(V_{out})은 VDD로 된다. 그리고 입력(V_{in})이 로우 레벨이면, 트랜지스터(M_2)의 풀다운에 의해 커패시터(C_1)에 전압이 충전되고 트랜지스터(M_2)는 턴오프되어 트랜지스터(M_6)의 게이트 노드가 플로팅된다. 다음, 트랜지스터(M_5)가 턴오프되어 커패시터(C_1)에 충전된 전압에 의해 트랜지스터(M_6)는 부트스트랩되어 버퍼 회로의 출력이 VSS로 된다.

【대표도】

도 3

【색인어】

버퍼, 트랜지스터, 풀다운, 부트스트랩, 표시 장치

【명세서】

【발명의 명칭】

버퍼 회로 및 이를 이용한 액티브 매트릭스 표시 장치{BUFFER CIRCUIT AND ACTIVE MATRIX DISPLAY DEVICE USING THE SAME}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 버퍼 회로의 개략적인 회로도이다.

도 2는 종래 기술에 따른 버퍼 회로의 회로도이다.

도 3은 본 발명의 실시예에 따른 버퍼 회로의 회로도이다.

도 4a 내지 도 4d는 각각 본 발명의 실시예에 따른 버퍼 회로의 동작을 설명하기 위한 도면이다.

도 5 내지 도 10은 각각 본 발명의 제1 내지 제6 실시예에 따른 버퍼 회로의 회로도이다

도 11은 본 발명의 실시예에 따른 액티브 매트릭스 표시 장치의 개략적인 도면이다.

도 12는 본 발명의 제7 및 제8 실시예에 따른 버퍼 회로의 동작 타이밍도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 버퍼 회로 및 이를 이용한 액티브 매트릭스 표시 장치에 관한 것이다.
- <9> 액티브 매트릭스 표시 장치, 이미지 센서, 반도체 메모리 장치에서 주사 신호를 공급하기 위해 시프트 레지스터 회로나 버퍼 회로가 사용된다. 시프트 레지스터 회로가 구동할

부하(load)의 크기, 특히 커패시턴스가 큰 경우에 시프트 레지스터 회로와 부하 사이에 버퍼 회로가 삽입된다. 버퍼 회로가 사용되면 부하를 충방전하는 전류의 크기가 크게 되어 동작 속도가 높아질 수 있다. 그런데, 부하의 크기에 따라 버퍼 회로가 커질 경우 버퍼 회로의 입력 단의 커패시턴스가 커져서 동작 속도가 떨어질 수 있다.

<10> 따라서 일반적으로 버퍼 회로는 도 1에 나타낸 바와 같이 복수의 인버터가 직렬로 연결되어 형성되며, 직렬로 연결된 인버터에 의해 전류의 크기가 점차로 증가되어 동작 속도를 높일 수 있다. 일반적으로 사용하는 인버터의 수는 4개 이내로 한다.

<11> 다음, 도 2를 참조하여 종래의 버퍼 회로에 대하여 자세하게 설명한다.

<12> 도 2에 나타낸 바와 같이, 종래의 버퍼 회로는 2개의 인버터가 연결되어 이루어지며 각 인버터는 두 개의 PMOS 트랜지스터[(M₁, M₂), (M₃, M₄)]로 이루어진다. 트랜지스터(M₁, M₃)의 소스는 하이 레벨의 전압(VDD)을 공급하는 전원에 연결되고 트랜지스터(M₂, M₄)의 드레인은 로우 레벨의 전압(VSS)을 공급하는 전원에 연결된다. 트랜지스터(M₁)의 드레인과 트랜지스터(M₂)의 소스는 서로 연결되고 그 접점이 트랜지스터(M₃)의 게이트에 연결된다. 그리고 트랜지스터(M₂, M₄)는 게이트와 드레인이 연결, 즉 다이오드 연결되어 있다. 또한, 트랜지스터(M₃)의 드레인과 트랜지스터(M₄)의 소스는 서로 연결되고 그 접점이 버퍼 회로의 출력(V_{out})으로 된다.

<13> 이때, 트랜지스터(M₁)의 게이트에 입력되는 신호(V_{in})가 하이 레벨인 경우 트랜지스터(M₂)에 의해 트랜지스터(M₃)의 게이트 노드는 로우 레벨로 되어 트랜지스터(M₃)는 터온된다. 따라서 버퍼 회로의 출력(V_{out})은 트랜지스터(M₃, M₄)의 온저항비에 의해 결정되며 VDD보다 낮

은 전압으로 된다. 그리고 트랜지스터(M_3, M_4)가 동시에 턴온되어 있으므로 트랜지스터(M_3, M_4)를 통하여 정적 전류(static current)가 흐르게 되어 소비 전력이 크다.

<14> 트랜지스터(M_1)의 게이트에 입력되는 신호(V_{in})가 로우 레벨인 경우 트랜지스터(M_1, M_2)의 온저항비에 의해 VDD보다는 작은 하이 레벨의 전압이 트랜지스터(M_3)의 게이트에 입력된다. 따라서 트랜지스터(M_3)가 턴오프되어 출력 전압(V_{out})이 작아지고 이에 따라 트랜지스터(M_4)의 소스-게이트 전압이 작아져 부하를 구동하는 전류의 크기가 줄어든다. 이때, 출력 전압(V_{out})이 $VSS + |V_{TH4}|$ (V_{TH4} 는 트랜지스터(M_4)의 문턱 전압)으로 되면 거의 전류가 흐르지 않으므로 트랜지스터(M_4)는 턴오프 상태로 되어 출력 전압(V_{out})은 $VSS + |V_{TH4}|$ 로 고정된다. 그리고 트랜지스터(M_1, M_2)가 동시에 턴온되어 있으므로 트랜지스터(M_1, M_2)를 통하여 정적 전류가 흐른다.

<15> 그리고 소스-게이트 전압이 작아짐에도 불구하고 버퍼 회로가 충분한 구동 능력을 갖기 위해서는 트랜지스터(M_4)의 채널 폭을 크게 하여야 한다. 그런데, 트랜지스터(M_4)의 채널 폭이 넓어지면 트랜지스터(M_4)의 온 저항이 줄어들어 버퍼 회로의 하이 레벨 출력이 작아지므로, 트랜지스터(M_3)의 채널 폭을 더욱 크게 하여야 한다.

<16> 이와 같이 도 2에 나타낸 버퍼 회로에서는 하이 레벨 출력이 VDD보다 작고 로우 레벨 출력이 VSS보다 크다는 문제점이 있다. 또한, 입력이 하이 레벨인 경우에는 두 번째 단의 인버터에 정적 전류가 흐르고 입력이 로우 레벨인 경우에는 첫 번째 단의 인버터에 정적 전류가 흐르게 된다. 특히, 버퍼 회로의 특성상 두 번째 단에 흐르는 정적 전류는 상당히 크므로 소비 전력이 커진다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는 버퍼 회로에 흐르는 정적 전류를 제거하여 소비 전력을 줄일 수 있으며 원하는 범위의 전압을 출력할 수 있는 버퍼 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<18> 이러한 과제를 달성하기 위해서, 본 발명은 트랜지스터의 부트스트랩을 이용한다.

<19> 본 발명의 첫 번째 특징에 따른 버퍼 회로는 제1 레벨의 제1 전압을 공급하는 제1 전원과 제1 레벨과 반대되는 제2 레벨의 제2 전압을 공급하는 제2 전원에 의해 구동되며, 제1 내지 제6 트랜지스터를 포함한다. 제1 트랜지스터는 제1 전원과 제1 노드 사이에 전기적으로 연결되며 게이트에 제1 신호가 입력되고, 제2 트랜지스터는 제1 노드와 제2 전원 사이에 전기적으로 연결되어 게이트에 제1 신호와 반대되는 레벨을 가지는 제2 신호가 입력된다. 제3 트랜지스터는 제1 노드에 게이트가 전기적으로 연결되며 제1 전원과 제2 노드 사이에 전기적으로 연결되고, 제4 트랜지스터는 제2 노드와 제2 전원 사이에 전기적으로 연결되며 게이트에 제1 신호가 입력된다. 제5 트랜지스터는 제2 노드에 게이트가 전기적으로 연결되며 제1 전원과 출력단 사이에 전기적으로 연결된다. 제6 트랜지스터는 제1 노드에 게이트가 전기적으로 연결되어 출력단과 제2 전원 사이에 전기적으로 연결되고, 게이트와 출력단 사이에 커패시턴스 성분이 형성되어 있다.

<20> 이 버퍼 회로는 제2 신호를 입력받아 제1 신호를 출력하며 제1 신호가 출력되는 제3 노드가 제1 트랜지스터의 게이트에 전기적으로 연결되는 인버터를 더 포함하는 것이 바람직하다.

- <21> 이때, 인버터는 제1 전원과 제3 노드 사이에 전기적으로 연결되며 게이트에 제2 신호가 입력되는 제7 트랜지스터, 그리고 다이오드 연결되어 있으며 제3 노드와 제2 전원 사이에 전기적으로 연결되는 제8 트랜지스터로 이루어질 수 있다. 또는 인버터는, 제1 전원과 제3 노드 사이에 전기적으로 연결되며 게이트에 제2 신호가 입력되는 제7 트랜지스터, 제3 노드와 제2 전원 사이에 전기적으로 연결되며 게이트와 제3 노드 사이에 커패시턴스 성분이 형성되어 있는 제8 트랜지스터, 그리고 다이오드 연결되어 있으며 제8 트랜지스터의 게이트와 제2 전원 사이에 전기적으로 연결되는 제9 트랜지스터로 이루어질 수 있다.
- <22> 이 버퍼 회로는 출력단에 게이트가 연결되며 제5 트랜지스터의 게이트와 제2 노드 사이에 전기적으로 연결되는 트랜지스터를 더 포함할 수 있다. 또는 버퍼 회로는 출력단에 게이트가 연결되며 제3 트랜지스터와 제4 트랜지스터 사이에 전기적으로 연결되는 트랜지스터를 더 포함할 수 있다. 또는 버퍼 회로는 제1 전원과 제3 트랜지스터의 게이트 사이에 전기적으로 연결되며 게이트에 제1 신호가 입력되는 트랜지스터, 그리고 제3 트랜지스터의 게이트와 제2 전원 사이에 전기적으로 연결되며 게이트에 제2 신호가 입력되는 트랜지스터를 더 포함할 수 있다.
- <23> 이 버퍼 회로는, 제2 신호가 게이트에 입력되며 제1 전원과 제1 트랜지스터의 게이트에 전기적으로 연결되는 트랜지스터, 그리고 제1 신호가 게이트에 입력되며 제1 트랜지스터의 게이트와 제2 전원 사이에 전기적으로 연결되는 트랜지스터를 더 포함할 수 있다.
- <24> 이때, 커패시턴스 성분 중 적어도 일부는 제6 트랜지스터의 기생 커패시턴스 성분에 의해 형성되거나, 제6 트랜지스터의 게이트와 출력단 사이에 연결된 커패시터에 의해 형성되는 것이 바람직하다.

<25> 그리고 제1 내지 제6 트랜지스터는 PMOS 트랜지스터이며 제1 및 제2 레벨은 각각 하이 및 로우 레벨이거나, 상기 제1 내지 제6 트랜지스터는 NMOS 트랜지스터이며 제1 및 제2 레벨은 각각 로우 및 하이 레벨인 것이 바람직하다.

<26> 본 발명의 두 번째 특징에 따른 버퍼 회로는, 제1 레벨의 제1 전압을 공급하는 제1 전원과 제1 레벨과 반대되는 제2 레벨의 제2 전압을 공급하는 제2 전원에 의해 구동되며, 제1 및 제2 트랜지스터와 구동 회로를 포함한다. 제1 트랜지스터는 제1 전원과 출력단 사이에 전기적으로 연결되고, 제2 트랜지스터는 제2 전원과 출력단 사이에 전기적으로 연결되며 게이트와 출력단 사이에 커패시턴스 성분이 형성되어 있다. 그리고 구동 회로는 제2 트랜지스터의 게이트와 제2 전원에 사이에 전기적으로 연결되며 게이트에 제1 신호가 입력되는 제3 트랜지스터를 포함하며, 제1 및 제2 트랜지스터를 구동한다. 이 구동 회로는 제1 신호가 제1 레벨인 경우에는 제1 트랜지스터를 턴온시키고 제2 트랜지스터를 턴오프시킨다. 제1 신호가 제2 레벨인 경우에, 구동 회로는 제3 트랜지스터를 턴온시켜 커패시턴스 성분에 전압을 충전한 후, 제2 트랜지스터가 부트스트랩 동작하도록 제2 트랜지스터의 게이트 노드를 플로팅시키고 제1 트랜지스터를 턴오프시킨다.

<27> 이때, 구동 회로는 제1 전원과 제1 트랜지스터의 게이트 사이에 전기적으로 연결되며 제1 신호가 제1 레벨인 경우에 턴온되는 제4 트랜지스터, 그리고 제1 트랜지스터의 게이트와 제2 전원 사이에 전기적으로 연결되며 제1 신호가 제2 레벨인 경우에 턴온되는 제5 트랜지스터를 더 포함하는 것이 바람직하다.

<28> 본 발명의 세 번째 특징에 따르면, 본 발명의 첫 번째 또는 두 번째 특징에 따른 버퍼 회로를 복수 개 포함하는 액티브 매트릭스 표시 장치가 제공된다. 이 액티브 매트릭스 표시 장치는 복수의 버퍼 회로에 각각 제1 구동 신호를 공급하는 구동 신호 공급부와 표시 패널을

포함한다. 표시 패널은 복수의 버퍼 회로를 통하여 출력되는 제1 구동 신호를 각각 전달하는 복수의 제1 신호선, 제1 신호선에 교차되어 형성되며 제2 구동 신호를 전달하는 복수의 제2 신호선, 그리고 제1 및 제2 신호선에 각각 전기적으로 연결되어 제1 및 제2 구동 신호에 의해 구동되는 화소 회로를 포함한다.

<29> 본 발명의 네 번째 특징에 따르면 제1 및 제2 트랜지스터와 구동 회로를 포함하는 부트 스트랩 회로가 제공된다. 제1 트랜지스터는 제1 전원과 출력단 사이에 전기적으로 연결되고, 제2 트랜지스터는 출력단과 제2 전원 사이에 전기적으로 연결되며 게이트와 출력단 사이에 커패시턴스 성분이 형성된다. 구동 회로는 서로 반대되는 레벨을 가지는 제1 및 제2 신호를 수신하며, 제1 신호가 제1 레벨인 경우에 제1 및 제2 트랜지스터를 각각 턴온 및 턴오프시킨다. 제1 신호가 제1 레벨에서 제2 레벨로 바뀐 경우에, 구동 회로는, 제2 트랜지스터의 게이트에 제2 레벨의 전압을 인가하여 커패시턴스 성분에 전압을 충전하는 단계, 제2 트랜지스터의 게이트 노드를 플로팅시키는 단계, 그리고 제1 트랜지스터를 턴오프시켜 제2 트랜지스터를 부트 스트랩시키는 단계로 동작한다.

<30> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<31> 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다.

<32> 이제 본 발명의 실시예에 따른 버퍼 회로 및 이를 이용한 평판 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

<33> 먼저 도 3 내지 도 4d를 참조하여 본 발명의 실시예에 따른 버퍼 회로에 대하여 설명한다. 도 3은 본 발명의 실시예에 따른 버퍼 회로의 회로도이며, 도 4a 내지 도 4d는 각각 본 발명의 실시예에 따른 버퍼 회로의 동작을 설명하기 위한 도면이다.

<34> 도 3에 나타낸 바와 같이, 본 발명의 실시예에 따른 버퍼 회로는 4개의 인버터(INV_1 - INV_4)를 포함한다. 인버터(INV_2 - INV_4)는 각각 하이 레벨의 전압(VDD)을 공급하는 전원에 소스가 연결된 PMOS 트랜지스터(M_1 , M_3 , M_5)와 로우 레벨의 전압(VSS)을 공급하는 전원에 드레인이 연결된 PMOS 트랜지스터(M_2 , M_4 , M_6)를 포함한다. 트랜지스터(M_1 , M_3 , M_5)의 드레인과 트랜지스터(M_2 , M_4 , M_6)의 소스는 각각 연결되어 있으며, 그들 접점이 각각 인버터(INV_2 , INV_3 , INV_4)의 출력(V_{out2} , V_{out3} , V_{out})이 된다. 그리고 인버터(INV_4)의 출력(V_{out})이 버퍼 회로의 출력으로 되며, 트랜지스터(M_6)의 게이트와 소스 사이에는 커패시터(C_1)가 형성되어 있다. 이 커패시터(C_1)는 트랜지스터(M_6)의 기생 커패시턴스나 부가 커패시터 또는 이들의 조합으로 형성될 수 있다.

<35> 버퍼 회로의 입력 전압(V_{in})은 인버터(INV_1)와 트랜지스터(M_2)의 게이트에 입력되며, 인버터(INV_1)의 출력 전압(V_{out1})은 트랜지스터(M_1 , M_4)의 게이트에 입력된다. 인버터(INV_2)의 출력 전압(V_{out2})은 트랜지스터(M_3 , M_6)의 게이트에 입력되고 인버터(INV_3)의 출력 전압(V_{out3})은 트랜지스터(M_5)의 게이트에 입력된다. 그리고 버퍼 회로의 입력 전압(V_{in})의 하이 레벨 및 로우 레벨 전위를 각각 VDD 및 VSS로 한다.

<36> 다음, 도 4a 내지 도 4d를 참조하여 본 발명의 실시예에 따른 버퍼 회로의 동작에 대하여 상세하게 설명한다.

<37> 먼저, 도 4a에 나타낸 바와 같이 입력(V_{in})이 하이 레벨로 되면 인버터(INV₁)의 출력(V_{out1})이 로우 레벨로 되어 트랜지스터(M₁, M₄)가 턴온되고 트랜지스터(M₂)는 턴오프된다. 그러면 전압(VDD)에 의해 트랜지스터(M₁)의 드레인 전압(V_{out2})이 하이 레벨로 되어 트랜지스터(M₃, M₆)가 턴오프되고, 전압(VSS)에 의해 트랜지스터(M₄)의 소스 전압(V_{out3})이 로우 레벨로 되어 트랜지스터(M₅)가 턴온된다. 이와 같이, 트랜지스터(M₅)가 턴온되고 트랜지스터(M₆)가 턴오프되어 버퍼 회로의 출력(V_{out})은 VDD까지 올라간다.

<38> 다음, 입력(V_{in})이 로우 레벨로 되면 도 4b에 나타낸 바와 같이 트랜지스터(M₂)는 턴온되고 인버터(INV₁)의 출력(V_{out1})이 하이 레벨로 된다. 트랜지스터(M₅)는 아직 이전의 하이 레벨 입력(V_{in})에 의해 턴온 상태를 유지하고 있다.

<39> 도 4c를 보면, 하이 레벨의 인버터 출력(V_{out1})에 의해 트랜지스터(M₁, M₄)가 턴오프된다. 그러면 턴온된 트랜지스터(M₂)에 의해 트랜지스터(M₃, M₆)의 게이트 전압(V_{out2})은 $VSS + |V_{TH2}|$ (V_{TH2} 는 트랜지스터(M₂)의 문턱 전압) 전압까지 풀다운된다. 그리고 트랜지스터(M₃, M₆)의 게이트 전압(V_{out2})이 $VSS + |V_{TH2}|$ 전압 이하로 되면 트랜지스터(M₂)는 턴오프되고 트랜지스터(M₃, M₆)는 턴온된다. 이때, 커패시터(C₁)에 충전되는 전압, 즉 트랜지스터(M₆)의 소스-게이트 전압은 " $VDD - (VSS + |V_{TH2}|)$ " 이상으로 된다. 그리고 트랜지스터(M₁, M₂)가 턴오프되어 있으므로 트랜지스터(M₆)의 게이트 노드는 플로팅되어 커패시터(C₁)에는 충전된 전압이 계속 유지된다.

<40> 다음, 도 4d에 나타낸 바와 같이 각각 턴온 및 턴오프된 트랜지스터(M₃, M₄)에 의해 트랜지스터(M₃)의 드레인 전압은 하이 레벨로 되어 트랜지스터(M₅)가 턴오프된다. 따라서 턴온된 트랜지스터(M₆)에 의해 트랜지스터(M₆)의 소스 전압(V_{out})은 로우 레벨로 떨어진다. 이때,

커패시터(C_1)에 의해 트랜지스터(M_6)의 소스-게이트 전압이 유지되어 있으므로, 트랜지스터(M_6)는 부트스트랩(bootstrap)되어 버퍼 회로의 출력 전압(V_{out})이 로우 레벨의 전원 전압(VSS)까지 내려간다.

<41> 이러한 본 발명의 실시예에 의하면, 인버터(INV_2 , INV_3 , INV_4)를 이루는 두 트랜지스터가 동시에 턴온되는 경우가 없으므로 인버터(INV_2 , INV_3 , INV_4)에서는 정적 전류(static current)가 흐르지 않는다. 따라서 정적 전류에 의한 소모 전력을 없앨 수 있다. 그리고 버퍼 회로에 하이 레벨의 전압(VDD)이 입력될 때 출력도 하이 레벨의 전압(VDD)으로 되고, 로우 레벨의 전압(VSS)이 입력될 때 로우 레벨의 전압(VSS)이 출력된다. 즉, 버퍼 회로의 입력 및 출력(V_{in} , V_{out})이 모두 전원 전압(VDD, VSS)으로 되는 레일-투-레일(rail-to-rail) 방식으로 동작하므로, 구동 전압을 낮추어 소비 전력을 줄일 수 있다.

<42> 아래에서는 도 5 내지 도 14를 참조하여 본 발명의 실시예에 따른 버퍼 회로에서 인버터(INV_1)의 회로 구성을 달리하여 인버터(INV_1)에 흐르는 정적 전류를 줄이거나 없애는 실시예에 대하여 자세하게 설명한다.

<43> 먼저, 도 5 내지 도 10을 참조하여 본 발명의 제1 내지 제6 실시예에 따른 버퍼 회로에 대하여 설명한다. 도 5 내지 도 10은 각각 본 발명의 제1 내지 제6 실시예에 따른 버퍼 회로의 회로도이다.

<44> 먼저, 도 5에 나타낸 바와 같이 본 발명의 제1 실시예에 따른 버퍼 회로에서 인버터(INV_1)는 두 개의 PMOS 트랜지스터(M_7 , M_8)로 이루어진다. 자세하게 설명하면, 트랜지스터(M_7)의 드레인과 트랜지스터(M_8)의 소스가 연결되고 그 접점이 인버터(INV_1)의 출력(V_{out1})으로 된다. 그리고 트랜지스터(M_7)의 소스는 하이 레벨

전압(VDD)을 공급하는 전원에 연결되고 트랜지스터(M_8)의 드레인은 로우 레벨 전압(VSS)을 공급하는 전원에 연결된다. 트랜지스터(M_8)는 드레인과 게이트가 연결, 즉 다이오드 연결(diode-connected)되어 있다.

<45> 이러한 제1 실시예에서는 입력 전압(V_{in})이 하이 레벨일 때 트랜지스터(M_7)가 턴오프되어 인버터(INV₁)의 출력 전압(V_{out1})이 로우 레벨로 된다. 그리고 입력 전압(V_{in})이 로우 레벨일 때 트랜지스터(M_7)가 턴온되어 출력 전압(V_{out1})이 하이 레벨로 되고, 트랜지스터(M_7, M_8)를 통하여 정적 전류가 흐르게 된다. 이러한 정적 전류는 인버터(INV₁)에서만 발생하므로 그 크기가 작아 소비 전력에 큰 영향을 주지 않는다. 그리고 이러한 버퍼 회로를 액티브 매트릭스 표시 장치의 주사 구동부에 사용하는 경우에 대부분의 시간동안 입력 전압(V_{in})이 하이 레벨이므로, 정적 전류가 발생하는 시간이 짧다.

<46> 다음, 도 6을 보면 본 발명의 제2 실시예에 따른 버퍼 회로의 인버터(INV₁)는 세 개의 PMOS 트랜지스터(M_7, M_8, M_9)와 커패시터(C_2)로 이루어진다. 트랜지스터(M_7)의 드레인과 트랜지스터(M_8)의 소스가 연결되고 그 접점이 인버터(INV₁)의 출력(V_{out1})으로 된다. 그리고 트랜지스터(M_7)의 소스는 하이 레벨 전압(VDD)을 공급하는 전원에 연결되고 트랜지스터(M_8)의 드레인은 로우 레벨 전압(VSS)을 공급하는 전원에 연결된다. 트랜지스터(M_8)의 게이트와 소스 사이에는 커패시터(C_2)가 연결되는데, 이 커패시터(C_2)는 트랜지스터(M_8)의 기생 커패시터나 부가 커패시터 또는 이들의 조합으로 이루어질 수 있다. 그리고 트랜지스터(M_8)의 게이트와 드레인 사이에는 트랜지스터(M_9)가 연결되어 있으며, 트랜지스터(M_9)는 다이오드 연결되어 있다.

<47> 이러한 제2 실시 예에서는 트랜지스터(M_9)에 의해 트랜지스터(M_8)의 게이트 전압이 " $V_{SS} + |V_{TH9}|$ " (V_{TH9} 는 트랜지스터(M_9)의 문턱 전압) 전압 이하로 제한된다. 이는 트랜지스터(M_8)의 게이트 전압이 " $V_{SS} + |V_{TH9}|$ " 전압 이상으로 되면 트랜지스터(M_9)가 턴온되어 트랜지스터(M_8)의 게이트 노드가 방전되기 때문이다. 버퍼 회로의 입력 전압(V_{in})이 로우 레벨이면 트랜지스터(M_7)는 턴온되어 인버터(INV_1)의 출력 전압(V_{out1})은 하이 레벨로 된다. 이 때, 커패시터(C_2)에 저장되는 트랜지스터(M_8)의 소스-게이트 전압은 " $V_{out1} - (V_{SS} + |V_{TH9}|)$ " 이상으로 된다. 그리고 트랜지스터(M_7 , M_8)를 통하여 정적 전류가 흐르지만, 이 정적 전류도 인버터(INV_1)에서만 흐르므로 소비 전력에 큰 영향을 주지 않는다.

<48> 버퍼 회로의 입력 전압(V_{in})이 하이 레벨로 되면 트랜지스터(M_7)는 턴오프되어 출력 전압(V_{out1})이 내려간다. 이 때, 커패시터(C_2)에 의해 트랜지스터(M_8)의 소스-게이트 전압이 유지되어 있으므로, 트랜지스터(M_8)는 부트스트랩되어 버퍼 회로의 출력 전압(V_{out1})은 로우 레벨의 전원 전압(V_{SS})까지 내려간다.

<49> 본 발명의 제1 및 제2 실시 예에서는 트랜지스터(M_6)의 부트스트랩 동작이 신호 전달의 시간차에 의해 트랜지스터(M_6)의 소스와 게이트 사이의 커패시터(C_1)에 전압이 충전되고 트랜지스터(M_6)의 게이트 노드가 플로팅됨으로써 이루어진다. 이 때, 시간차가 짧아서 커패시터(C_1)를 충전할 시간이 충분치 못하여 커패시터(C_1)에 충전된 전압의 크기가 작아질 수 있다. 그러면 트랜지스터(M_6)의 풀다운시 흐르는 전류의 크기가 작아져서 버퍼 회로의 출력 전압(V_{out})이 로우 레벨로 떨어지는 하강 시간이 길어질 수 있다.

<50> 아래에서는 커패시터(C_1)의 충전 시간을 늘이기 위해 트랜지스터(M_2)가 턴오프될 때까지 트랜지스터(M_5)가 턴온 상태를 유지하도록 하는 실시예에 대하여 도 7 내지 도 9를 참조하여 상세하게 설명한다.

<51> 도 7에 나타낸 바와 같이, 본 발명의 제3 실시예에 따른 버퍼 회로는 PMOS 트랜지스터(M_{10})를 제외하면 제2 실시예와 동일한 구조를 가진다.

<52> 자세하게 설명하면, 트랜지스터(M_{10})는 트랜지스터(M_3)의 드레인과 트랜지스터(M_5)의 게이트 사이에 연결되어 있으며, 트랜지스터(M_{10})의 게이트는 트랜지스터(M_5)의 드레인에 연결되어 있다. 이때, 턴온된 트랜지스터(M_3)에 의해 인버터(INV_3)의 출력 전압(V_{out3})이 하이 레벨의 전압으로 되어도 트랜지스터(M_{10})에 의해 트랜지스터(M_5)는 턴오프되지 않고, 버퍼 회로의 출력 전압(V_{out})이 " $VDD - |V_{TH10}|$ " (V_{TH10} 는 트랜지스터(M_{10})의 문턱 전압) 이하가 되면 트랜지스터(M_{10})가 턴온되어 트랜지스터(M_5)가 턴오프된다. 이와 같이 하면, 트랜지스터(M_2)가 턴오프될 때까지 트랜지스터(M_5)의 턴온 상태가 유지된다. 즉, 트랜지스터(M_5)의 턴오프 시간이 늦추어지므로, 캐酡시터(C_1)에 충전되는 전압의 크기를 증가시킬 수 있다. 따라서, 트랜지스터(M_6)의 풀다운시 전류가 커져서 하강 시간이 짧아질 수 있다.

<53> 도 8을 보면, 본 발명의 제4 실시예에 따른 버퍼 회로는 트랜지스터(M_{10})의 연결 상태를 제외하면 제3 실시예와 동일한 구조를 가진다.

<54> 자세하게 설명하면, 트랜지스터(M_{10})는 트랜지스터(M_3)의 드레인과 트랜지스터(M_4)의 소스 사이에 연결되며 그 게이트가 트랜지스터(M_5)의 드레인에 연결된다. 그리고 트랜지스터(M_{10} , M_4)의 접점이 인버터(INV_3)의 출력(V_{out3})으로 된다. 이와 같이 하면, 제3

실시예와 마찬가지로 버퍼 회로의 출력 전압(V_{out})이 "VDD - |V_{TH10}|" 이하가 되면

트랜지스터(M_{10})가 턴온되어 트랜지스터(M_5)가 턴오프된다.

<55> 본 발명의 제3 및 제4 실시예에서는 트랜지스터를 하나 추가하여 시간을 지연시켰지만, 이와는 달리 트랜지스터(M_1, M_2)와 동일한 연결 구조를 가지는 두 트랜지스터를 더 추가하여 시간을 지연시킬 수 있다. 아래에서는 도 9를 참조하여 이러한 실시예에 대하여 설명한다.

<56> 도 9에 나타낸 본 발명의 제5 실시예는 트랜지스터(M_{10}, M_{11})를 제외하면 제3 실시예와 동일한 구조를 가진다.

<57> 자세하게 설명하면, 트랜지스터(M_{10}, M_{11})는 트랜지스터(M_1, M_2)와 동일하게 형성되어 있다. 즉, 트랜지스터(M_{10})의 소스는 하이 레벨의 전압(VDD)을 공급하는 전원에 연결되고 트랜지스터(M_{11})의 드레인은 로우 레벨의 전압(VSS)을 공급하는 전원에 연결된다.

트랜지스터(M_{10})의 드레인과 트랜지스터(M_{11})의 소스가 연결되어 그 접점이 트랜지스터(M_3)의 게이트에 연결된다. 그리고 인버터(INV₁)의 출력(V_{out1})이 트랜지스터(M_1, M_{10})의 게이트에 동시에 연결되고, 버퍼 회로의 입력(V_{in})이 트랜지스터(M_2, M_{11})의 게이트에 동시에 연결된다.

<58> 이러한 제5 실시예에서는 트랜지스터(M_1, M_2)로 트랜지스터(M_6)를 구동하고 트랜지스터(M_{10}, M_{11})로 트랜지스터(M_3)를 구동할 수 있다. 이때, 트랜지스터(M_2)가 턴오프되는 시간은 트랜지스터(M_6)의 게이트 노드가 풀다운되는 시간에 의해 결정되고, 트랜지스터(M_5)가 턴오프되는 시간은 트랜지스터(M_3)가 턴온되는 시간에 의해 결정된다. 그런데, 트랜지스터(M_3)가 턴온되는 시간은 트랜지스터(M_{10}, M_{11})의 접점에서 로우 레벨의 신호가 출력되는 시간에 의해 결정되는데 이 시간은 트랜지스터(M_{10}, M_{11})의 특성에 의해 결정된다. 따라서 트랜지

스터(M_{10} , M_{11})의 특성을 변화시킴으로써, 트랜지스터(M_2)가 턴오프될 때까지 트랜지스터(M_5)를 턴온 상태로 유지시킬 수 있다.

<59> 본 발명의 제1 내지 제5 실시예에서는 하나의 입력을 받아서 동작하는 버퍼 회로에 대하여 설명하였다. 이와는 달리 버퍼 회로는 차동 입력(differential inputs)을 받아서 동작할 수도 있으며, 아래에서는 이러한 실시예에 대하여 도 10을 참조하여 상세하게 설명한다.

<60> 도 10을 보면, 본 발명의 제6 실시예에 따른 버퍼 회로에서 인버터(INV_1)는 위상이 반대인 두 신호(V_{in} , $/V_{in}$)를 입력으로 받는다. 제6 실시예에서는 이러한 신호(V_{in} , $/V_{in}$)로서 위상이 반대인 클럭(differential clocks)(CLK , $/CLK$)을 사용한다. 자세하게 설명하면, 인버터(INV_1)는 클럭(CLK)을 입력(V_{in})으로 받는 트랜지스터(M_7)와 클럭($/CLK$)을 입력($/V_{in}$)으로 받는 트랜지스터(M_8)로 이루어진다. 그리고 트랜지스터(M_7)의 드레인과 트랜지스터(M_8)의 소스가 연결되고 그 접점이 인버터(INV_1)의 출력(V_{out1})으로 된다. 트랜지스터(M_7)의 소스는 하이 레벨 전압(VDD)을 공급하는 전원에 연결되고 트랜지스터(M_8)의 드레인은 로우 레벨 전압(VSS)을 공급하는 전원에 연결된다. 이때, 클럭(CLK)이 도 3에 나타낸 인버터(INV_1)의 입력(V_{in})에 대응하여 트랜지스터(M_2)의 게이트에 입력된다.

<61> 이러한 제6 실시예에서는 클럭(CLK)이 로우 레벨이면 트랜지스터(M_7)가 턴온되고 트랜지스터(M_8)가 턴오프되어 인버터(INV_1)의 출력이 하이 레벨로 된다. 그리고 클럭(CLK)이 하이 레벨이면 트랜지스터(M_7)가 턴오프되고 트랜지스터(M_8)가 턴온되어 인버터(INV_1)의 출력이 로우 레벨로 된다. 이때, 두 트랜지스터(M_7 , M_8)가 동시에 턴온되지 않으므로 인버터(INV_1)에서는 정적 전류가 흐르지 않게 된다.

- <62> 이러한 본 발명의 제6 실시예에 따른 버퍼 회로의 인버터(INV_2 , INV_3 , INV_4)에 제3 내지 제5 실시예에 따른 변형을 적용할 수 있으며, 이에 대한 자세한 설명은 생략한다.
- <63> 다음, 제6 실시예에 따른 버퍼 회로를 액티브 매트릭스 표시 장치의 주사 구동부의 버퍼에 적용하는 실시예에 대하여 도 11 내지 도 12를 참조하여 상세하게 설명한다. 물론, 제1 내지 제5 실시예에서 설명한 버퍼 회로도 액티브 매트릭스 표시 장치의 주사 구동부에 적용할 수 있으며, 이에 대한 자세한 설명은 생략한다.
- <64> 도 11은 본 발명의 실시예에 따른 액티브 매트릭스 표시 장치의 개략적인 도면이며, 도 12는 본 발명의 제7 및 제8 실시예에 따른 버퍼 회로의 동작 타이밍도이다.
- <65> 도 11에 나타낸 바와 같이, 액티브 매트릭스 표시 장치는 신호 제어부(100), 주사 구동부(200), 데이터 구동부(300) 및 표시 패널(400)을 포함한다. 신호 제어부(100)는 주사 구동부(200) 및 데이터 구동부(300)에 구동에 필요한 제어 신호를 공급한다. 데이터 구동부(300)는 제어 신호에 따라 표시 패널(400)의 데이터선(Y_1-Y_n)에 데이터 신호를 인가한다.
- <66> 주사 구동부(200)는 표시 패널(400)에 행 방향으로 차례로 형성된 복수의 주사선(X_1-X_m)에 주사 신호(S_1-S_m)를 순차적으로 인가한다. 이러한 주사 구동부(200)는 시프트 레지스터(210), 레벨 시프터(220) 및 버퍼(230)를 포함한다. 시프트 레지스터(210)는 각 주사선(X_1-X_m)의 주사 신호(S_1-S_m)에 대응하는 신호를 차례로 레벨 시프터(220)로 공급한다. 레벨 시프터(220)는 시프트 레지스터(210)로부터의 신호의 전압 레벨을 버퍼(230) 및 표시 패널(400)에 사용할 수 있는 전압 레벨로 변경하며, 시프트 레지스터(210)의 전압 레벨이 버퍼(230)나 표시 패널(400)의 전압 레벨과 동일하다면 생략할 수 있다. 버퍼(230)는 표시 패널(400)의 부하로 인하여 동작 속도가 떨어지는 것을 보상해준다.

<67> 주사 구동부(200) 및 데이터 구동부(300)는 각각 표시 패널(400)의 유리 기판에 전기적으로 연결되어 있다. 이와는 달리, 주사 구동부(200) 및/또는 데이터 구동부(300)를 표시 패널(400)의 유리 기판 위에 직접 장착할 수도 있으며 이를 COG(chip on glass) 방식이라고 한다. 또한 주사 구동부(200) 및/또는 데이터 구동부(300)는 표시 패널(400)의 유리 기판에 주사선(X_1-X_m), 데이터선(Y_1-Y_n) 및 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로로 대체될 수도 있다.

<68> 아래에서는 도 11에서 예시한 액티브 매트릭스 표시 장치의 주사 구동부(200)에서 사용되는 버퍼에 대하여 도 12를 참조하여 상세하게 설명한다. 이 버퍼(230)는 주사선(X_1-X_m)에 일대일로 대응하는 복수의 버퍼 회로로 형성되어 있는 것으로 가정하여 설명한다.

<69> 본 발명의 제7 실시예에 따른 버퍼 회로는 도 10에 나타낸 버퍼 회로에서 주사 신호(S_1-S_m)가 입력(V_{in})으로 되고 클럭(CLK) 또는 반전된 클럭(/CLK)이 입력(/ V_{in})으로 된다. 자세하게 설명하면, 주사선(X_1, X_3, \dots)에 대응하는 주사 신호(S_1, S_3, \dots)를 입력(V_{in})으로 받는 버퍼 회로에서는 클럭(/CLK)이 입력(/ V_{in})으로 되고, 주사선(X_2, X_4, \dots)에 대응하는 주사 신호(S_2, S_4, \dots)를 입력(V_{in})으로 받는 버퍼 회로에서는 클럭(CLK)이 입력(/ V_{in})으로 된다.

<70> 그러면 도 12에 나타낸 바와 같이 주사 신호(S_1, S_3, \dots)가 로우 레벨인 경우에 클럭(/CLK)은 하이 레벨이고 주사 신호(S_2, S_4, \dots)가 로우 레벨인 경우에 클럭(CLK)은 하이 레벨이므로, 제7 실시예에 따른 버퍼 회로는 도 10의 버퍼 회로와 동일하게 동작한다. 또한 입력($V_{in}, /V_{in}$) 모두 하이 레벨인 경우에는 출력값이 그대로 유지된다. 즉, 버퍼 회로의 입력(V_{in})인 주사 신호(S_1-S_m)가 로우 레벨인 경우에 입력(/ V_{in})이 하이 레벨이므로, 버퍼 회로는 로우 레벨의 주사 신호(S_1-S_m)를 그대로 출력한다.

<71> 다음, 본 발명의 제8 실시예에 따른 버퍼 회로에서는 현재 주사 신호(S_1-S_m)가 입력(V_{in})으로 되고 다음 주사 신호(S_2-S_m)가 입력($/V_{in}$)으로 된다. 예를 들어 주사 신호(S_1)를 입력(V_{in})으로 하는 버퍼 회로에서는 주사 신호(S_2) 가 입력($/V_{in}$)으로 된다. 도 12에 나타낸 바와 같이 주사 신호(S_1)가 로우 레벨인 경우에 주사 신호(S_2)는 하이 레벨이므로, 제8 실시예에 따른 버퍼 회로는 도 10에서 설명한 버퍼 회로와 동일하게 로우 레벨의 주사 신호(S_1)를 출력한다. 마찬가지로, 주사 신호(S_2)를 입력(V_{in})으로 하는 버퍼 회로에서는 주사 신호(S_3) 가 입력($/V_{in}$)으로 되고, 주사 신호(S_2)가 로우 레벨인 경우에 주사 신호(S_3)는 하이 레벨이므로 버퍼 회로는 로우 레벨의 주사 신호(S_2)를 출력한다.

<72> 그리고 주사 신호(S_2)가 하이 레벨로 되면 주사 신호(S_3)가 로우 레벨이므로, 도 10의 버퍼 회로와 동일하게 하이 레벨의 신호를 출력한다. 또한, 주사 신호(S_2, S_3)가 모두 하이 레벨로 되면, 버퍼 회로는 출력을 그대로 유지한다.

<73> 이상으로 본 발명의 실시예에서는 PMOS 트랜지스터만을 사용하여 버퍼 회로를 구성하였지만, 본 발명의 실시예는 NMOS 트랜지스터를 사용하는 버퍼 회로에도 적용할 수 있으며 이에 따른 회로의 변경은 당업자라면 용이하게 알 수 있는 사항이므로 이에 대한 설명은 생략한다.

<74> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<75> 이와 같이 본 발명에 의하면, 버퍼 회로가 레일-투-레일 방식으로 동작하므로 구동 전압을 낮추어 소비 전력을 줄일 수 있다. 또한 버퍼 회로를 형성하는 인버터에 정적 전류가 흐르

1020030011418

출력 일자: 2003/11/19

지 않거나 전류 레벨이 낮은 인버터에만 정적 전류가 흐르므로, 정적 전류에 의한 소모 전력을
없애거나 줄일 수 있다.

【특허청구범위】**【청구항 1】**

제1 레벨의 제1 전압을 공급하는 제1 전원과 제1 노드 사이에 전기적으로 연결되며 게이트에 제1 신호가 입력되는 제1 트랜지스터,

상기 제1 노드와 상기 제1 레벨과 반대되는 제2 레벨의 제2 전압을 공급하는 제2 전원 사이에 전기적으로 연결되며 게이트에 상기 제1 신호와 반대되는 레벨을 가지는 제2 신호가 입력되는 제2 트랜지스터,

상기 제1 노드에 게이트가 전기적으로 연결되며 상기 제1 전원과 제2 노드 사이에 전기적으로 연결되는 제3 트랜지스터,

상기 제2 노드와 상기 제2 전원 사이에 전기적으로 연결되며 게이트에 상기 제1 신호가 입력되는 제4 트랜지스터,

상기 제2 노드에 게이트가 전기적으로 연결되며 상기 제1 전원과 출력단 사이에 전기적으로 연결되는 제5 트랜지스터, 그리고

상기 제1 노드에 게이트가 전기적으로 연결되며 상기 출력단과 상기 제2 전원 사이에 전기적으로 연결되고, 게이트와 상기 출력단 사이에 커패시턴스 성분이 형성되어 있는 제6 트랜지스터

를 포함하는 버퍼 회로.

【청구항 2】

제1항에 있어서,

상기 제2 신호를 입력받아 상기 제1 신호를 출력하며 상기 제1 신호가 출력되는 제3 노드가 상기 제1 트랜지스터의 게이트에 전기적으로 연결되는 인버터를 더 포함하는 버퍼 회로.

【청구항 3】

제2항에 있어서,

상기 인버터는,

상기 제1 전원과 상기 제3 노드 사이에 전기적으로 연결되며 게이트에 상기 제2 신호가 입력되는 제7 트랜지스터, 그리고

다이오드 연결되어 있으며 상기 제3 노드와 상기 제2 전원 사이에 전기적으로 연결되는 제8 트랜지스터를 포함하는 버퍼 회로.

【청구항 4】

제2항에 있어서,

상기 인버터는,

상기 제1 전원과 상기 제3 노드 사이에 전기적으로 연결되며 게이트에 상기 제2 신호가 입력되는 제7 트랜지스터,

상기 제3 노드와 상기 제2 전원 사이에 전기적으로 연결되며 게이트와 상기 제3 노드 사이에 커패시턴스 성분이 형성되어 있는 제8 트랜지스터, 그리고

다이오드 연결되어 있으며 상기 제8 트랜지스터의 게이트와 상기 제2 전원 사이에 전기적으로 연결되는 제9 트랜지스터를 포함하는 버퍼 회로.

【청구항 5】

제1항에 있어서,

상기 출력단에 게이트가 연결되며 상기 제5 트랜지스터의 게이트와 상기 제2 노드 사이에 전기적으로 연결되는 제7 트랜지스터를 더 포함하는 버퍼 회로.

【청구항 6】

제1항에 있어서,

상기 출력단에 게이트가 연결되며 상기 제3 트랜지스터와 상기 제4 트랜지스터 사이에 전기적으로 연결되는 제7 트랜지스터를 더 포함하는 버퍼 회로.

【청구항 7】

제1항에 있어서,

상기 제1 전원과 상기 제3 트랜지스터의 게이트 사이에 전기적으로 연결되며 게이트에 상기 제1 신호가 입력되는 제7 트랜지스터, 그리고

상기 제3 트랜지스터의 게이트와 상기 제2 전원 사이에 전기적으로 연결되며 게이트에 상기 제2 신호가 입력되는 제8 트랜지스터

를 더 포함하는 버퍼 회로.

【청구항 8】

제1항에 있어서,

상기 제2 신호가 게이트에 입력되며 상기 제1 전원과 상기 제1 트랜지스터의 게이트에 전기적으로 연결되는 제7 트랜지스터, 그리고

상기 제1 신호가 게이트에 입력되며 상기 제1 트랜지스터의 게이트와 상기 제2 전원 사이에 전기적으로 연결되는 제8 트랜지스터를 더 포함하는 버퍼 회로.

【청구항 9】

제1항에 있어서,

상기 커패시턴스 성분 중 적어도 일부는 상기 제6 트랜지스터의 기생 커패시턴스 성분에 의해 형성되는 버퍼 회로.

【청구항 10】

제1항에 있어서,

상기 커패시턴스 성분은 상기 제6 트랜지스터의 게이트와 상기 출력단 사이에 연결된 커패시터에 의해 형성되는 버퍼 회로.

【청구항 11】

제1항에 있어서,

상기 제1 내지 제6 트랜지스터는 PMOS 트랜지스터이며 상기 제1 및 제2 레벨은 각각 하이 및 로우 레벨인 버퍼 회로.

【청구항 12】

제1항에 있어서,

상기 제1 내지 제6 트랜지스터는 NMOS 트랜지스터이며 상기 제1 및 제2 레벨은 각각 로우 및 하이 레벨인 버퍼 회로.

【청구항 13】

제1 레벨의 제1 전압을 공급하는 제1 전원과 출력단 사이에 전기적으로 연결되는 제1 트랜지스터,

상기 제1 레벨과 반대되는 제2 레벨의 제2 전압을 공급하는 제2 전원과 상기 출력단 사이에 전기적으로 연결되며, 게이트와 상기 출력단 사이에 커패시턴스 성분이 형성되어 있는 제2 트랜지스터, 그리고

상기 제2 트랜지스터의 게이트와 상기 제2 전원에 사이에 전기적으로 연결되며 게이트에 제1 신호가 입력되는 제3 트랜지스터를 포함하며, 상기 제1 및 제2 트랜지스터를 구동하는 구동 회로

를 포함하며,

상기 구동 회로는,

상기 제1 신호가 상기 제1 레벨인 경우에는 상기 제1 트랜지스터를 턴온시키고 상기 제2 트랜지스터를 턴오프시키며,

상기 제1 신호가 상기 제2 레벨인 경우에는 상기 제3 트랜지스터를 턴온시켜 상기 커패시턴스 성분에 전압을 충전한 후, 상기 제2 트랜지스터가 부트스트랩 동작하도록 상기 제2 트랜지스터의 게이트 노드를 플로팅시키고 상기 제1 트랜지스터를 턴오프시키는 버퍼 회로.

【청구항 14】

제13항에 있어서,

상기 구동 회로는,

상기 제1 전원과 상기 제1 트랜지스터의 게이트 사이에 전기적으로 연결되며 상기 제1 신호가 상기 제2 레벨인 경우에 턴온되는 제4 트랜지스터, 그리고

상기 제1 트랜지스터의 게이트와 상기 제2 전원 사이에 전기적으로 연결되며 상기 제1 신호가 상기 제1 레벨인 경우에 턴온되는 제5 트랜지스터
를 더 포함하는 버퍼 회로.

【청구항 15】

제14항에 있어서,

상기 구동 회로는, 상기 제4 트랜지스터, 상기 제1 트랜지스터의 게이트 및 상기 출력단에 세 단자가 전기적으로 연결되는 제6 트랜지스터를 더 포함하는 버퍼 회로.

【청구항 16】

제14항에 있어서,

상기 제1 신호를 입력받아 상기 제1 신호와 반대되는 레벨을 가지는 제2 신호를 출력하며 상기 제2 신호가 출력되는 제1 노드가 상기 제5 트랜지스터의 게이트에 전기적으로 연결되는 인버터를 더 포함하는 버퍼 회로.

【청구항 17】

제14항에 있어서,

상기 제1 전원과 상기 제5 트랜지스터의 게이트 사이에 전기적으로 연결되며 게이트에 상기 제1 신호가 입력되는 제6 트랜지스터, 그리고

상기 제5 트랜지스터의 게이트와 상기 제2 전원 사이에 전기적으로 연결되며 게이트에
상기 제1 신호와 반대되는 레벨의 가지는 제2 신호가 입력되는 제7 트랜지스터
를 포함하는 버퍼 회로.

【청구항 18】

제1항 내지 제17항 중 어느 한 항에 기재된 복수의 버퍼 회로,
상기 복수의 버퍼 회로에 각각 제1 구동 신호를 공급하는 구동 신호 공급부, 그리고
상기 복수의 버퍼 회로를 통과하여 출력되는 제1 구동 신호를 각각 전달하는 복수의 제1
신호선, 상기 제1 신호선에 교차되어 형성되며 제2 구동 신호를 전달하는 복수의 제2 신호선,
및 상기 제1 및 제2 신호선에 각각 전기적으로 연결되어 상기 제1 및 제2 구동 신호에 의해 구
동되는 화소 회로를 포함하는 표시 패널
을 포함하는 액티브 매트릭스 표시 장치.

【청구항 19】

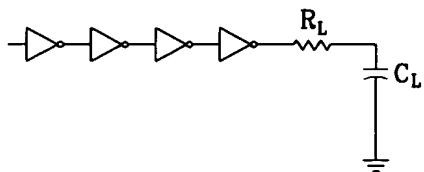
제1 레벨의 제1 전압을 공급하는 제1 전원과 출력단 사이에 전기적으로 연결되는 제1 트
랜지스터,
상기 출력단과 상기 제1 레벨과 반대되는 제2 레벨의 제2 전압을 공급하는 제2 전원 사
이에 전기적으로 연결되며 게이트와 상기 출력단 사이에 커패시턴스 성분이 형성되는 제2 트랜
지스터, 그리고
서로 반대되는 레벨을 가지는 제1 및 제2 신호를 수신하며, 상기 제1 신호가 상기 제1
레벨인 경우에 상기 제1 및 제2 트랜지스터를 각각 턴온 및 턴오프시키는 구동 회로

를 포함하며,

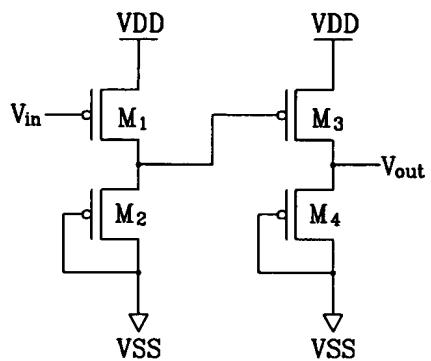
상기 제1 신호가 상기 제1 레벨에서 상기 제2 레벨로 바뀐 경우에, 상기 구동 회로는,
상기 제2 트랜지스터의 게이트에 상기 제2 전압에 대응하는 제3 전압을 인가하여 상기 커페시
턴스 성분에 전압을 충전하는 단계, 상기 제2 트랜지스터의 게이트 노드를 플로팅시키는 단계,
그리고 상기 제1 트랜지스터를 터오프시켜 상기 제2 트랜지스터를 부트스트랩시키는 단계로 동
작하는 부트스트랩 회로.

【도면】

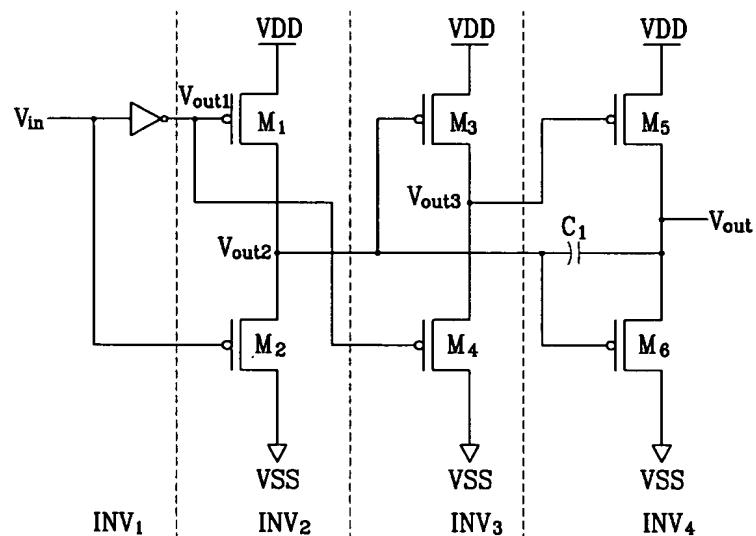
【도 1】



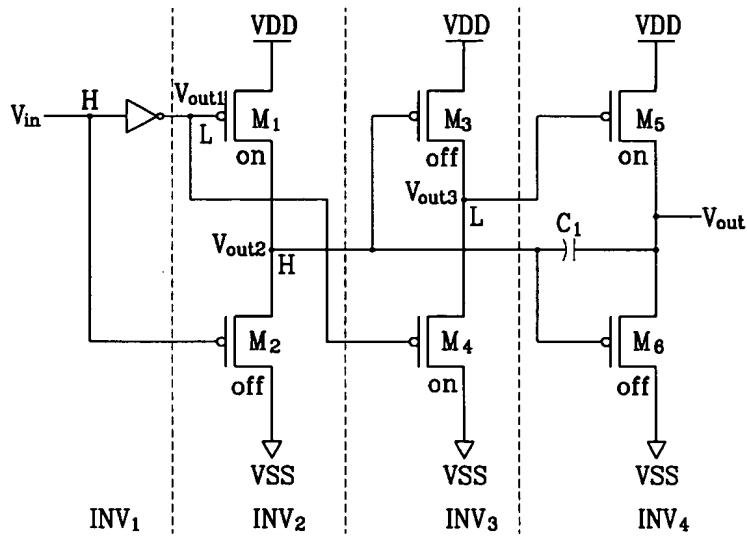
【도 2】



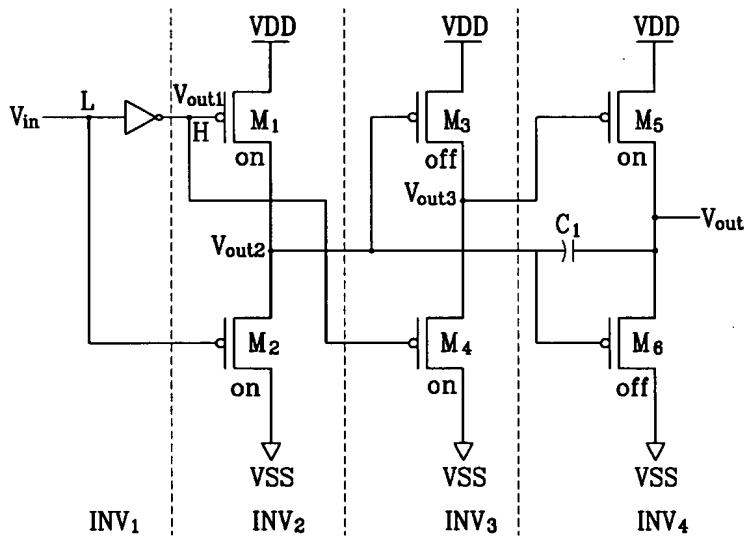
【도 3】



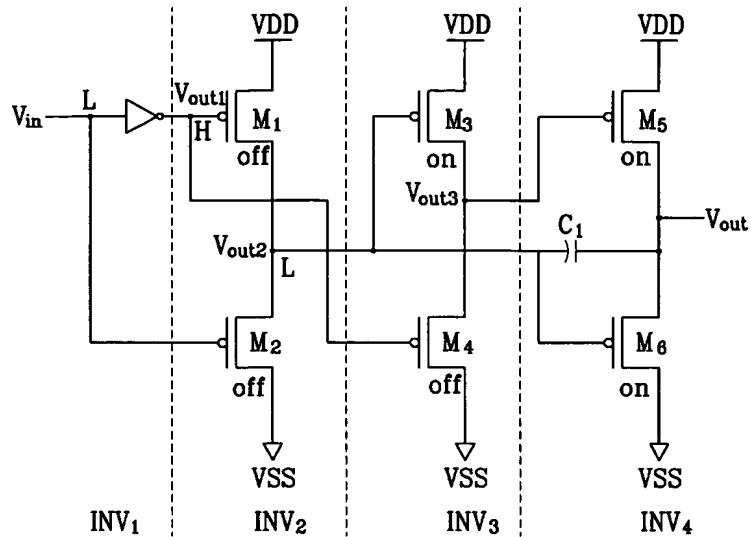
【도 4a】



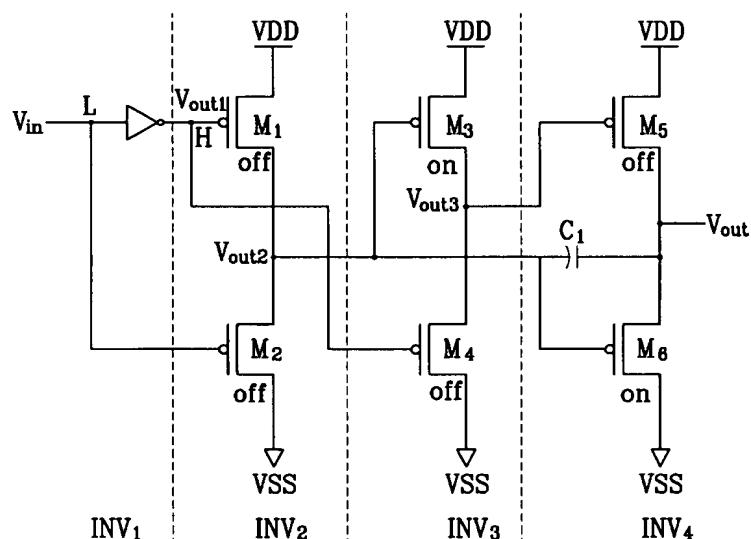
【도 4b】



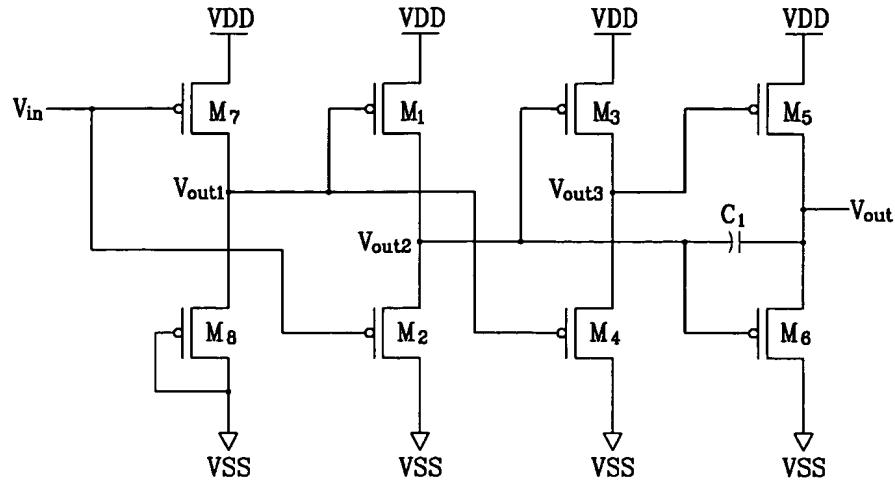
【도 4c】



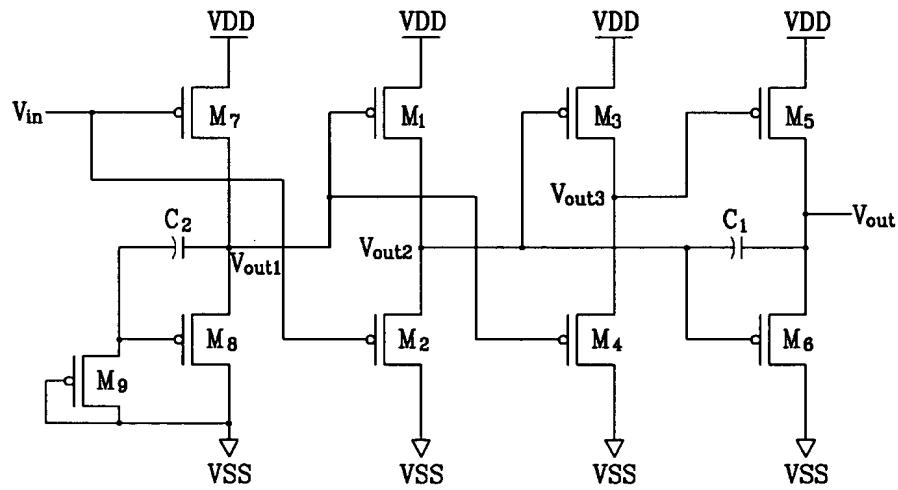
【도 4d】



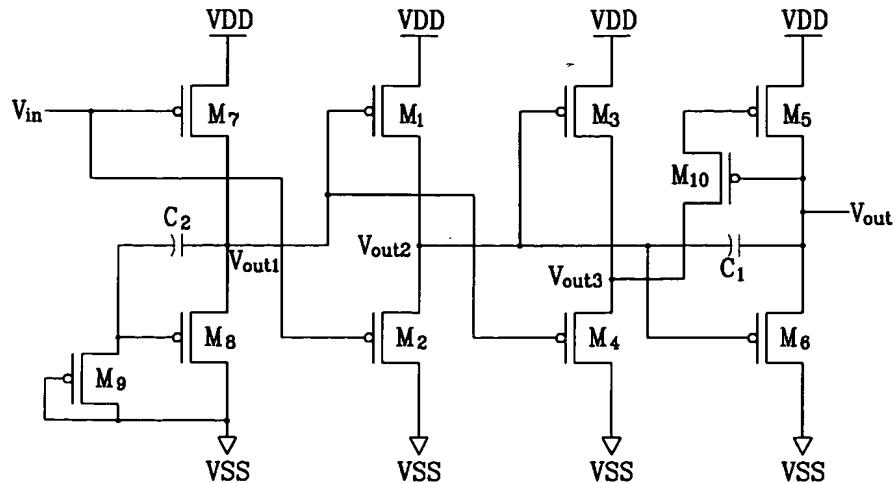
【도 5】



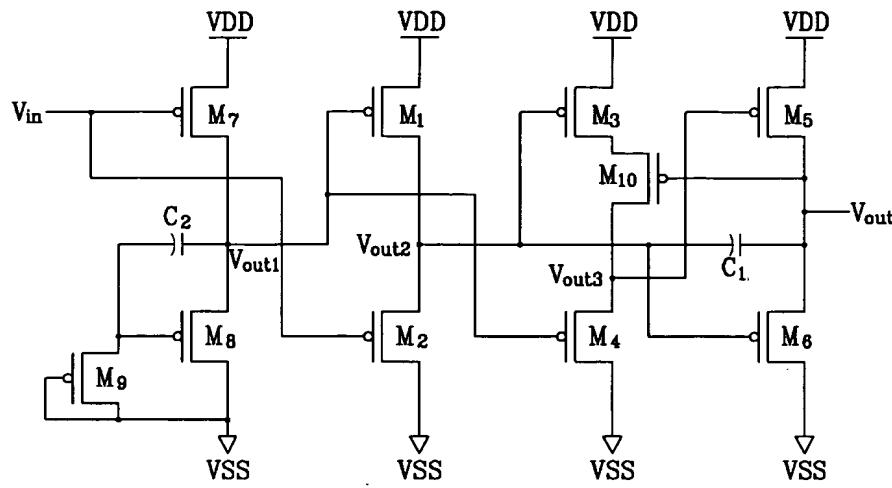
【도 6】



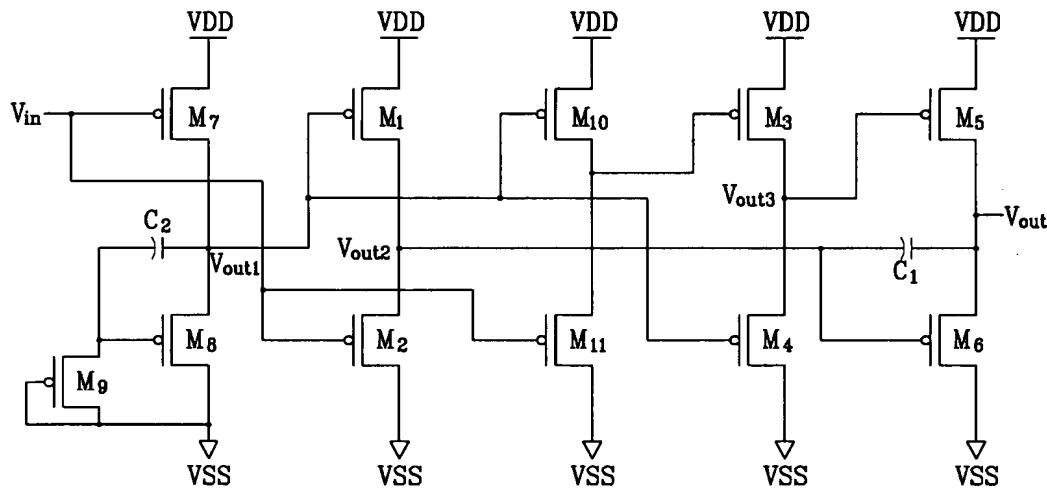
【도 7】



【도 8】



【도 9】

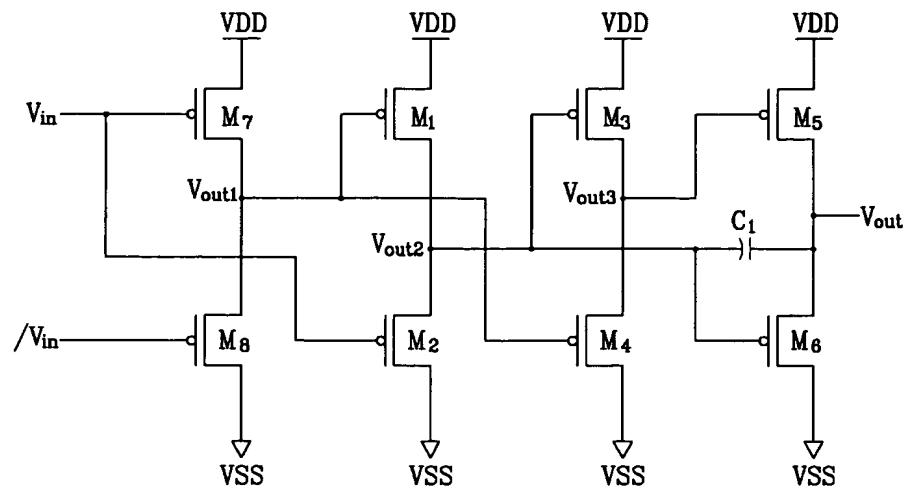




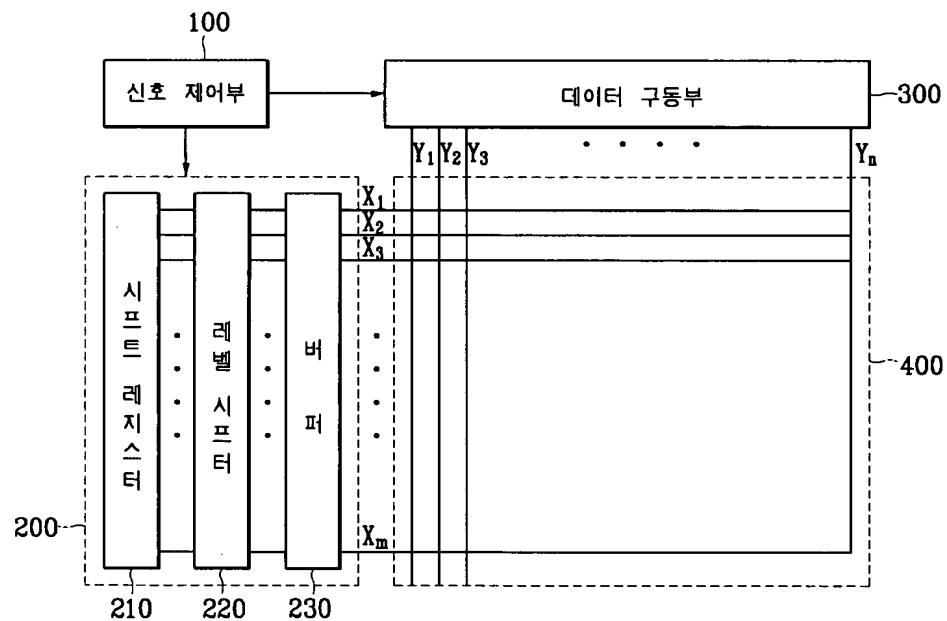
1020030011418

출력 일자: 2003/11/19

【도 10】



【도 11】





20030011418

출력 일자: 2003/11/19

【도 12】

